# Documentación Lab 4: Procesador Pipelined

El siguiente procesador consiste en una arquitectura RISC-V para implementar un procesador que utiliza un sistema pipeline en su datapath para poder trabajar en múltiples instrucciones a la vez. El procesador de este proyecto se basa en la implementación del libro Harris y Harris (2021). Y la implementación diseñada se pasa en el siguiente diagrama:

A diagram of a machine

AI-generated content may be incorrect.

Este diseño consiste en la modificación de un procesador monociclo que es capaz de ejecutar una instrucción por ciclo similar al pipelined pero solamente puede trabajar en una instrucción a la vez. Para lograr que este procesador trabaje en múltiples instrucciones al mismo tiempo se introducen registros que separan la arquitectura en las cinco partes principales de una instrucción: fetch, decode, execute, memory y writeback. Esto permite que en cada ciclo se ejecute la instrucción de forma segmentada. Lo cual genera que las secciones del procesador que ya no se ocupan para la instrucción actual puedan ser utilizadas para la siguiente instrucción.

Como son cinco secciones de una instrucción, al comenzar el procesador no se va a tener un resultado en el primer ciclo. Sino hasta el quinto ciclo se tiene el resultado de la primera instrucción. Después de esto en cada ciclo siguiente se tiene el resultado de las instrucciones posteriores.

Por la dinámica del procesador, este debe ser capaz de extraer instrucciones de la memoria de instrucciones para operar. Es por esto por lo que en esta implementación se decide precargar una serie de instrucciones para corroborar su funcionamiento. Adicionalmente, para el funcionamiento de estas instrucciones, se decide precargar datos dentro de la memoria de datos para que puedan ser manipulados por estas instrucciones.

## Resultados:

Para poder probar el funcionamiento del procesador se necesita hacer llegar las instrucciones al procesador de alguna manera. Es por esto que se decide precargar instrucciones dentro del modulo de memoria de instrucciones para que apenas comience a correr el procesador, este tenga disponible las instrucciones. Esto se hace de la siguiente manera:

A screenshot of a computer program

AI-generated content may be incorrect.

En la imagen se puede apreciar que se hacen dos operaciones de memoria y cuatro instrucciones aritméticas. Los valores en las opresiones lw son: 21212121 y 23232323. Que son números bastante sencillos de probar ya que los resultados son muy particulares y fáciles de identificar. El resultado de la suma es 44444444, el de la resta es fdfdfdfe, el del and es 21212121 y el del or es 23232323. Y es esto mismo lo que podemos ver en la simulación:

A screenshot of a computer

AI-generated content may be incorrect.

Aparte de estas instrucciones se introdujo una serie de “nop” esto es ya que por el comportamiento de un procesador pipelined. El resultado se tiene hasta 5 ciclos después de que se introdujo la instrucción. Es por esto por lo que se necesita introducir instrucciones que básicamente no hacen nada dentro del procesador para darle tiempo a que se tengan los resultados necesarios. Si no se hace esto. En las instrucciones se van a utilizar los registros x8 y x9 incorrectos. Ya que no les ha llegar el valor correcto de las instrucciones lw.

# Reportes de Vivado:

Utilizando la herramienta de Vivado se logra obtener algunos reportes técnicos de la síntesis de este procesador. Estos reportes son: los reportes de timing, potencia y área del procesador.

## Reportes de timing:

De la herramienta de vivado se obtiene el siguiente reporte y resumen de timings:

A screenshot of a computer

AI-generated content may be incorrect.

## Reporte de potencia:

De la herramienta de vivado se obtiene el siguiente reporte de potencia:

A screenshot of a computer

AI-generated content may be incorrect.

Del reporte de potencia se puede apreciar que el diseño implementado supera la capacidad térmica de la FPGA. Esto se puede explicar debido a las limitaciones del modelo de FPGA. Ya que el tamaño de la memoria de datos es lo suficientemente pequeña para poder ser sintetizada en la FPGA, pero no para poder ser manejada a un nivel de disipación de calor. Es decir, el diseño consume mas potencia de la que la PFGA puede manejar.

## Reporte de área del procesador:

De la herramienta de vivado se obtiene el siguiente reporte de área del procesador:

A screenshot of a computer

AI-generated content may be incorrect.

De este reporte se puede apreciar la cantidad de recursos que requiere la implementación del proyecto. Y también brinda la cantidad de recursos disponibles en total. También podemos concluir que el modulo que mas requiere recursos es la memoria de datos. Lo cual es lo esperado ya que es el modulo mas grande y mas demandante de todos.

## Bibliografía:

Harris, S., & Harris, D. (2021). *Digital design and computer architecture: RISC-V Edition*. Morgan Kaufmann.