# Documentación Lab 4: Procesador Pipelined

El siguiente procesador consiste en una arquitectura RISC-V para implementar un procesador que utiliza un sistema pipeline en su datapath para poder trabajar en múltiples instrucciones a la vez. El procesador de este proyecto se basa en la implementación del libro Harris y Harris (2021). Y la implementación diseñada se pasa en el siguiente diagrama:

A diagram of a machine

AI-generated content may be incorrect.

Este diseño consiste en la modificación de un procesador monociclo que es capaz de ejecutar una instrucción por ciclo similar al pipelined pero solamente puede trabajar en una instrucción a la vez. Para lograr que este procesador trabaje en múltiples instrucciones al mismo tiempo se introducen registros que separan la arquitectura en las cinco partes principales de una instrucción: fetch, decode, execute, memory y writeback. Esto permite que en cada ciclo se ejecute la instrucción de forma segmentada. Lo cual genera que las secciones del procesador que ya no se ocupan para la instrucción actual puedan ser utilizadas para la siguiente instrucción.

Como son cinco secciones de una instrucción, al comenzar el procesador no se va a tener un resultado en el primer ciclo. Sino hasta el quinto ciclo se tiene el resultado de la primera instrucción. Después de esto en cada ciclo siguiente se tiene el resultado de las instrucciones posteriores.

Por la dinámica del procesador, este debe ser capaz de extraer instrucciones de la memoria de instrucciones para operar. Es por esto por lo que en esta implementación se decide precargar una serie de instrucciones para corroborar su funcionamiento. Adicionalmente, para el funcionamiento de estas instrucciones, se decide precargar datos dentro de la memoria de datos para que puedan ser manipulados por estas instrucciones.

## Resultados:

## Bibliografía:

Harris, S., & Harris, D. (2021). *Digital design and computer architecture: RISC-V Edition*. Morgan Kaufmann.